

# Architektura komputerów

## Wykład 6

### Układy otoczenia procesora (chipset)

Wojciech Kordecki

Collegium Witelona  
Wydział Nauk Technicznych i Ekonomicznych  
Zakład Informatyki

Semestr letni 2023/24



# Źródła

Ze względu na niezwykle szybki postęp, większość informacji jest zaczerpnięta z internetu, głównie z Wikipedii (konfrontowanych z książką Metzgera *Anatomia PC*), materiałów firmowych Intel'a i AMD, a także z wyimków artykułów umieszczanych w czasopismach komputerowych.



# Chipset

Chipset – grupa specjalistycznych układów scalonych, które są przeznaczone do wspólnej pracy. Mają zazwyczaj zintegrowane oznaczenia i zwykle sprzedawane są jako jeden produkt.

W komputerach termin chipset jest powszechnie używany w odniesieniu do specjalistycznego układu scalonego lub zestawu układów płyty głównej komputera lub karty rozszerzeń.

*Źródło – Wikipedia*



# Mostek północny i południowy

Dwa układy scalone o bardzo wysokiej skali integracji i kilka chipów pomocniczych. Główne:

- mostek północny,
- mostek południowy

Funkcje chipsetu:

- Sprzężenie z procesorem przez magistralę FSB (Front Side Bus).
- Realizacja kontrolera pamięci operacyjnej i obsługa magistrali pamięciowej.
- Sterowanie pamięci podręcznej L2 (lub L3) n płytach.
- Implementacja magistral PCI, AGP i. in.
- Implementacja pozostałych bloków klasycznej architektury.

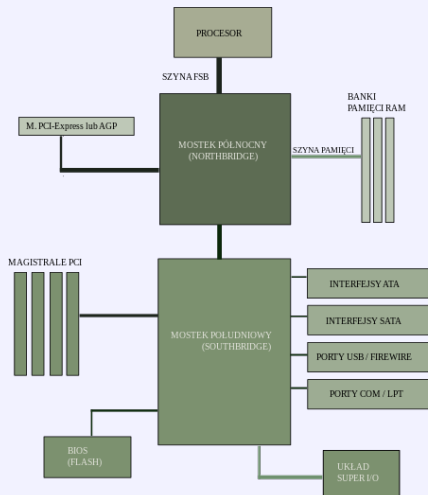


## Mostki – pochodzenie nazw

Nazwa *mostek północny* powstała gdy chipset komputerów typu PC rozdzielono na 2 układy scalone i pochodzi od typowego rysowania schematu (mapy) architektury komputera. CPU jako najważniejszy element rysuje się na górze schematu; miejsce to jest porównywane z północą na mapach geograficznych. Układ scalony, zwany mostkiem północnym, łączący procesor z pozostałymi elementami komputera rysuje się bezpośrednio pod procesorem. Poniżej drugi układ chipsetu, zwany mostkiem południowym, łączący się z procesorem poprzez mostek północny.



# Mostki – schemat



# Mostek północny

Mostek północny pełni rolę kontrolera pamięci oraz pośrednika pomiędzy procesorem, pamięcią operacyjną i kartą graficzną. Komunikacja pomiędzy procesorem a resztą podzespołów płyty głównej odbywa się przy pomocy mostka południowego. Niektórzy producenci płyt głównych integrują z mostkiem północnym układ graficzny lub kontroler Gigabit Ethernet. Intel swój zintegrowany mostek z układem graficznym oznacza skrótem GMCH – (ang. Graphics and Memory Controller Hub).



# Mostek południowy

Realizuje połączenie procesora do wolniejszej części wyposażenia mikrokomputera:

- napędów dysków twardych (złącza IDE/ATA/SATA/ATAPI)
- magistral ISA, PCI
- sterownika przerw
- sterownika DMA
- nieulotnej pamięci BIOS
- modułu zegaru czasu rzeczywistego





## Mostek południowy c.d.

Mostek południowy może obsługiwać również:

- łącze FireWire
- łącze USB
- złącze do sterownika RAID
- złącze Ethernet

Mostek południowy czasem obsługuje (*obsługiwał!*) także zewnętrzne złącza szeregowo, w tym złącza myszy i klawiatury oraz RS-232 – zazwyczaj jednak urządzenia te dołączane są do mostka południowego przez dodatkowy układ nazywany SIO (ang. Super Input/Output). Przez SIO obsługiwane są również złącza równoległe (port Centronics), łącze podczerwieni (IrDA), stacje dyskietek i Flash ROM BIOS-u.



# Przeszłość!

Złącza równoległe (port Centronics), łącze podczerwieni (IrDA),  
stacje dyskietek.

Całkowicie wyszły z użycia.



# Przeszłość!

Złącza równoległe (port Centronics), łącze podczerwieni (IrDA),  
stacje dyskietek.

Całkowicie wyszły z użycia.

RS-232 – bardzo rzadko spotykane.



# Teraźniejszość – 2023

(...) obecnie dostępne na rynku płyty główne nie posiadają już oddzielnych mostków północnych. Zostały one zintegrowane w samym procesorze (łącznie z pełnionymi zadaniami), jednak ten sam zabieg nie był możliwy w przypadku mostka południowego. To, czego nie dało rady umieścić w CPU, przerzucono na pojedynczy chipset, który może się różnić od modelu płyty głównej. W przypadku Intel'a pozostawiony chipset jest określany mianem PCH (Platform Controller Hub) i zajmuje się funkcjami mostka południowego oraz kilkoma wybranymi zadaniami mostka północnego.

<https://scroll.morele.net/poradniki/chipset-plyty-glownej-co-to-jest-i-jakie-ma-zadania/>



# Magistrala FSB

Front side bus (FSB) – występująca w wielu architekturach komputerów PC magistrala łącząca procesor z kontrolerem pamięci (najczęściej zlokalizowanym w mostku północnym). Składa się z linii adresowych, linii danych oraz linii sterowania. Parametry FSB (liczba linii poszczególnych typów, częstotliwość) zależne są od zastosowanego procesora.

Następcami są DMI oraz QPI dla platform Nehalem.



# Magistrala DMI

Direct Media Interface (DMI) – magistrala opracowana przez Intel, służąca do komunikacji pomiędzy mostkiem północnym a południowym chipsetu.

DMI po raz pierwszy zaprezentowana została w 2004 roku w postaci chipsetu 915 oraz mostka południowego ICH6.

Przepustowość DMI wynosiła 2GB/s. Magistrala DMI jest zmodyfikowaną wersją PCI-E x4 v1.1. Chipsety serwerowe korzystały z podobnego wariantu, bazującego na dedykowanym PCI-E x4 zwanym Enterprise Southbridge Interface (ESI).

Wszystkie chipsety produkowane w latach 2004–2008, począwszy od ICH6, korzystały z modyfikowanych wersji tego interfejsu występującego pod wspólną nazwą DMI.

Intel opublikował wiele specyficznych podwariantów urządzeń współpracujących, tak więc samo określenie DMI nie gwarantuje pełnej kompatybilności pomiędzy różnymi kombinacjami.



## Magistrala DMI c.d.

W 2009 roku Intel zaimplementował interfejs DMI bezpośrednio w procesorach (rodzina Core i5). Pierwszą platformą reprezentującą nowe rozwiązanie był procesor i5-750 w połączeniu z chipsetem P55. Zrezygnowano całkowicie z mostka północnego, likwidując wąskie gardło w postaci FSB i przenosząc kontrolery PCI Express i pamięci RAM DDR3 oraz interfejs DMI do procesora. Zadaniem DMI jest komunikacja z urządzeniami interfejsu SATA lub portami PCI. Przepustowość magistrali DMI procesora i5-750 oraz wyższych modeli i7-860 i i7-870 wynosi 2,5 Gb/s.



# Implementacje DMI w platformach Intel'a (od 2009)

## Procesory

- Core i3-xxx
- Core i5-7xx
- Core i7-7xx
- Core i7-8xx
- Core i7 Extreme 920XM
- Xeon X34xx
- Xeon L34xx

## Platformy

- PCH (Intel® P55/PM55 Express Chipset, Intel 3400/3420 Chipset)





# Magistrala QPI

Intel QuickPath Interconnect lub QPI to magistrala będącą odpowiednikiem łączy HyperTransport procesorów AMD i jest następcą FSB dla platform Core i3, Core i5, Core i7, Itanium i Xeon.

Magistrala QuickPath zawiera zintegrowany kontroler pamięci oraz ulepszone łącza komunikacyjne między elementami systemu, co znacznie zwiększy ogólną wydajność.

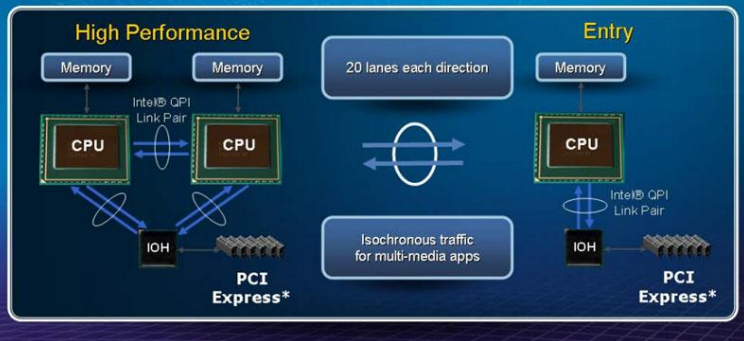
QuickPath to połączenie typu punkt-punkt, wykorzystują je procesory Nehalem (Xeon) i Tukwila (Itanium). Szyna QuickPath umożliwia osiągnięcie przepustowości do 25,6 GB/s.



# Magistrala QPI – schemat

## Intel® QuickPath Interconnect – High Performance, Cost Effective Interconnect

Up to 25.6 GB/s per port (link pair)  
at 6.4 GT/s, with more scalability for the future



# HyperTransport

HyperTransport (HT) – łącze typu punkt-punkt umożliwiające połączenie ze sobą dwóch urządzeń, opracowane przez HyperTransport Consortium. Sieć łączy HT wykorzystywana jest do szybkiej transmisji danych z niskimi opóźnieniami. Stosowane w procesorach między rdzeniami i koprocesorami, między procesorami w wieloprocessorowych komputerach, między procesorami a innymi urządzeniami obsługującymi technologię HT, między urządzeniami HT a kartami HT oraz do łączenia komputerów w wielokomputerowe klastry.

Złącza kart HT są nieco podobne do liniowego 16xPCIE z 1x PCIE[1]. Szybkość przesyłania danych do kart HTX3 wynosi 20 GB/s, czyli więcej niż PCI Expressx16 3.0 przy mniejszych opóźnieniach.



# Nehalem – Intel Core i7

Mikroarchitektura wprowadzona z procesorami Intel Core i7. Obejmuje procesory Intel Core i3, i5 oraz i7. Cechy:

- obsługa pamięci DDR3
- technika Hyper-Threading (nie wszystkie procesory)
- wbudowany trójkanałowy kontroler pamięci DDR3, IMC (Integrated Memory Controller)
- nowa szyna systemowa, QPI
- siedem nowych instrukcji SSE4
- natywna czterordzeniowość (jak w AMD Phenom, nie dotyczy procesorów 2-rdzeniowych)
- Turbo boost (nie wszystkie procesory)
- 45 nm lub 32 nm proces produkcyjny



# Pamięć cache – stare dzieje

Computerworld, 1995.

Równie mało znana, jak skomplikowana, pamięć podręczna (cache) procesora odgrywa zasadniczą rolę jeśli chodzi o wydajność systemu komputerowego.

Pamięć cache ma stosunkowo niewielką pojemność w porównaniu z pojemnością pamięci głównej komputera i jest – w porównaniu z nią - bardzo skomplikowana technologicznie. Zwykle pojemność tej pamięci wynosi 256 kB, podczas gdy pamięć RAM komputera w typowej konfiguracji wynosi 4, 8 lub więcej MB.



# Pamięć cache – dzieje nowsze

Na podstawie PCLab.pl, 2012

Czy 4 MB pamięci podręcznej trzeciego poziomu to dużo, czy mało? Warto dopłacić do procesora, który ma jej więcej? Jaki wpływ na wydajność ma „cache L3,? Te pytania bardzo często pojawiają się w wątkach na forach dyskusyjnych w działach poświęconych procesorom. Dziś postanowiliśmy sprawdzić wpływ tego parametru na osiągi. Porównaliśmy ze sobą układy w tej samej architekturze i działające w tych samych ustawieniach, ale wyposażone w różną ilość zarówno L2, jak i L3.



# Pamięć cache – dzieje nowsze

Na podstawie PCLab.pl, 2012

Pamięć podręczna to swoisty bufor danych (niezarządzany z poziomu systemu operacyjnego w przeciwieństwie do pamięci RAM), które były, są lub będą wykorzystywane przez jednostki obliczeniowe procesora. Nowoczesne procesory mają przynajmniej dwa jej poziomy (L1 oraz L2), a większość tych najwydajniejszych ma jeszcze trzeci (L3). Praktycznie zawsze pojemność poszczególnych poziomów rośnie wraz z liczbą przy literze. Dlaczego ten parametr jest tak ważny?



# Wielkość pamięci cache

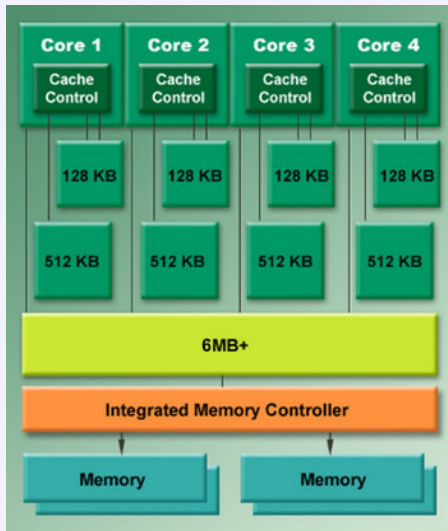
Na podstawie PCLab.pl, 2012

Producenci – zarówno AMD, jak i Intel – muszą tu zawsze iść na pewien kompromis. Najważniejszym powodem są ograniczenia konstrukcyjne. Pamięć podręczna zajmuje ogromną liczbę tranzystorów i jest też jednym z głównych elementów pochłaniających energię. Dlatego dobierając jej pojemność, trzeba niejako wyważyć wydajność, pobór energii oraz powierzchnię rdzenia, a tym samym koszt produkcji. Chodzi też o to, że w specyficznych konstrukcjach im więcej pamięci podręcznej, tym czas dostępu do niej może być dłuższy, co wydaje się logiczne, biorąc pod uwagę, że większy obszar pamięci trzeba „przeszukać”.





# Schemat poziomów pamięci podręcznej



Poziomy pamięci  
podręcznej w  
Phenom II X4  
(Deneb)



# Liczba poziomów

Na podstawie PCLab.pl, 2012

Dane zgromadzone w L1 to te, które akurat teraz są potrzebne, do nich jednostki wykonawcze sięgają lub mogą sięgnąć w każdej chwili. Jest ona względnie mało pojemna, ale dzięki temu czas dostępu do niej jest krótki.

L2 to po prostu kolejny poziom buforu. Są do niego ściągane – z L3 lub bezpośrednio z RAM-u – te dane, które mogą być na przykład za chwilę potrzebne. Ponieważ czas dostępu do L2 nie jest już tak kluczowy, to może być jej więcej, a jej konstrukcja może być prostsza.



# Liczba poziomów

Na podstawie PCLab.pl, 2012

Z L3 jest identycznie. Obecnie jest ona bardzo często używana do synchronizowania pracy wielu rdzeni: najczęściej to za jej pośrednictwem wymieniają się tymi samymi lub w jakiś sposób powiązanymi ze sobą danymi, na których operują.

Każdy poziom pamięci podręcznej jest i tak znacznie szybszy od nawet najszybszego RAM-u, zatem bardzo duża jej pojemność jest wskazana z punktu widzenia wydajności. Jest to szczególnie ważne w przypadku procesorów wielordzeniowych. Sześciordzeniowe Core i7 mają jej 12 MB lub 16 MB, a czterordzeniowe – maksymalnie 8 MB.



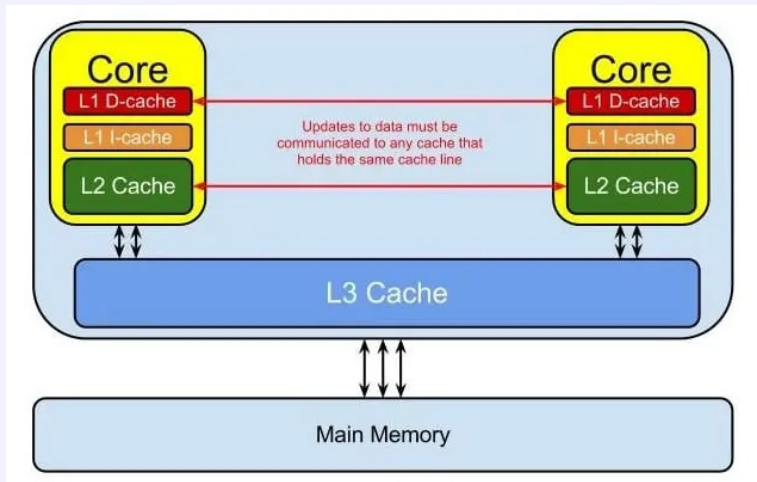
# Wydajność

Analiza wydajności w zależności od wielkości pamięci podręcznej:

<https://pclab.pl/art75257-2.html>



# Cache L1, L2, L3



# Identyfikacja pamięci cache

Intel® Processor Identification Utility - Windows Version  
9 marca 2023

[https:](https://www.intel.com/content/www/us/en/download/12136/intel-processor-identification-utility-windows-version.html)

[//www.intel.com/content/www/us/en/download/12136/  
intel-processor-identification-utility-windows-version.  
html](https://www.intel.com/content/www/us/en/download/12136/intel-processor-identification-utility-windows-version.html)



# Zasada działania pamięci podręcznej (cache)

- Przy odwołaniu procesora do pamięci następuje sprawdzenie, czy dana spod określonego adresu znajduje się w pamięci cache.
- Brak – chybienie pamięci podręcznej (cache miss).
  - dana zostaje odczytana z pamięci i przesłana do procesora,
  - dana wraz z jej adresem jest zapisywana do pamięci podręcznej,
  - jeśli pamięć podręczna była pełna, to trzeba z niej coś usunąć,
  - przy następnym odwołaniu dana będzie już w pamięci podręcznej.
- Odnalezienie danej w pamięci podręcznej trafienie pamięci podręcznej (cache hit).
  - dana zostaje odczytana z pamięci podręcznej,
  - odwołanie do pamięci operacyjnej jest zbędne,
  - czas odwołania do danej w pamięci podręcznej jest znacznie krótszy niż czas dostępu do pamięci operacyjnej.



# Intel Core i7

<http://www.intel.pl/content/www/pl/pl/processors/core/core-i7-processor.html>

<http://www.legitreviews.com/intel-core-i7-6700k-cache-overclocking-with-ddr4-3600-mhz-170577>

<http://www.morele.net/wiadomosc/jaki-chipset-intel-wybrac-b85-h81-h97-czy-z97/1127/>





# Intel Core i9

Intel Core i9 – seria mikroprocesorów firmy Intel oparta na architekturze x86-64, która miała premierę 28 sierpnia 2017 roku. Procesory te są przeznaczone do komputerów stacjonarnych o bardzo wysokiej wydajności oraz obsługi technologii VR jak również do segmentu mobilnego. Obsługują pamięci RAM typu DDR4, korzystają z technologii Intel Turbo Boost i Hyper-threading i wykonywane są w (ulepszonym) procesie technologicznym 14 nanometrów, a ich moc maksymalna wynosi 140 W. Procesory występujące w segmencie komputerów stacjonarnych oraz segmencie mobilnym stanowią rozwinięcie rodziny Coffee Lake oraz Cascade Lake (procesory 8, 9 i 10 generacji), natomiast w segmencie HEDT („procesory Intel serii X”) producent posługuje się nazwami kodowymi Skylake X oraz Cascade Lake X.

<https://www.intel.com/content/www/us/en/products/details/processors/core/i9.html>



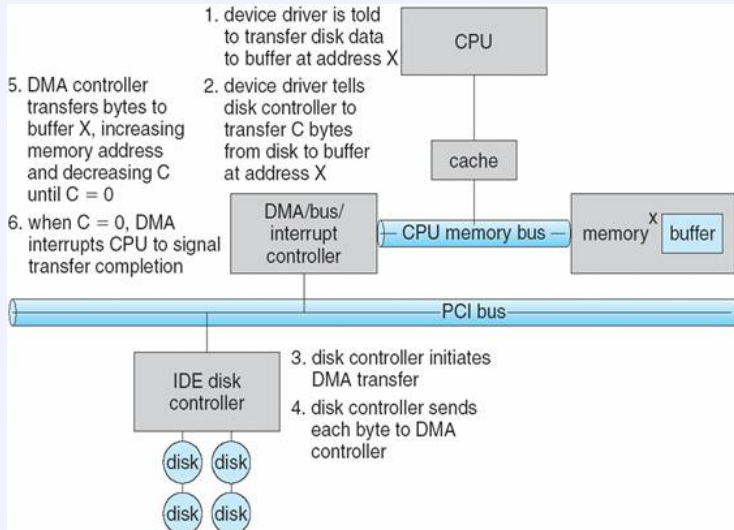
# Direct Memory Access - DMA

W operacjach wejścia/wyjścia (I/O) w których przesyła się duże bloki danych, stosuje się tryb operacji I/O, w którym urządzenia I/O mają bezpośredni dostęp do pamięci pod kontrolą sterownika DMA.

W trybie tym sterownik DMA nie buforuje przesyłanych danych, ale przejmuje nadzór nad magistralą I/O. Procesor jest w tym czasie w stanie zawieszenia – jest odłączony od magistrali i jako zarządca magistrali ustawia tak sygnały sterujące sterownikiem I/O i pamięci DRAM, że jedno z tych urządzeń wystawia dane i adresy na magistralę a drugie odczytuje.



# Transfer danych: DMA – dysk



# Programmed Input Output – PIO

Programowane wejście/wyjście – technika obsługi operacji wejścia/wyjścia między CPU a urządzeniami IDE/ATA polegająca na wykorzystaniu procesora jako układu je nadzorującego.

Wymaga dużego zaangażowania procesora w procesie transferu danych, dlatego jest używana coraz rzadziej, zwłaszcza, gdy wymagane są duże prędkości transmisji

*Źródło – Wikipedia*



## DMA c.d.

Poprzez DMA możliwa jest też transmisja typu pamięć-pamięć. DMA nie angażuje procesora, nie przerywa jego pracy, ale jego wyjścia magistralowe przechodzą w stan wysokiej impedancji, więc angażuje magistralę I/O i magistralę FSB. Procesor nie może więc wykonywać w czasie pracy DMA rozkazów wymagających dostępu do tych magistral.



## DMA c.d.

Poprzez DMA możliwa jest też transmisja typu pamięć-pamięć. DMA nie angażuje procesora, nie przerywa jego pracy, ale jego wyjścia magistralowe przechodzą w stan wysokiej impedancji, więc angażuje magistralę I/O i magistralę FSB. Procesor nie może więc wykonywać w czasie pracy DMA rozkazów wymagających dostępu do tych magistral.

Jeżeli w czasie wykonywania rozkazu wystąpiło odwołanie do pamięci operacyjnej, a w pamięci podręcznej nastąpiło chybiecie, wówczas procesor musi odwołać się do pamięci DRAM i konieczne jest wygenerowanie stanów oczekiwania do czasu zwolnienia magistrali FSB przez DMA.



# DMA a procesor

Transmisja pomiędzy sterownikiem urządzenia I/O a pamięcią przebiega po magistrali I/O i FSB.

Sterownik I/O nie jest wybierany adresem portu. Jeśli urządzenie I/O zgłasza potrzebę transmisji, to sterownik DMA zapewnia zwolnienie magistrali i możliwości komunikacji po niej z pamięcią.

Urządzeń I/O jest wiele. Dlatego sterownik DMA jest urządzeniem kilkukanałowym

Liczba kanałów DMA oznacza liczbę możliwych do obsługi urządzeń I/O. Z uwagi na jedną magistralę, nie są one nigdy obsługiwane jednocześnie.



## Sygnały sterujące

Dla kanału o numerze  $i$  mamy parę sygnałów  $DREQ_i$  i  $DACK_i$ . Para  $DREQ_i$  i  $DACK_i$  jest dołączona do jednego sterownika urządzenia I/O i stanowi jeden kanał. Uaktywnienie linii  $DREQ$  w pewnym kanale stanowi zgłoszenie urządzenia I/O dołączonego do tego kanału. Gdy sterownik DMA nie zajmuje magistrali, to zgłasza procesorowi sygnałem  $HRQ$  żądania odłączenia od magistrali.

Gdy procesor odłączy się, to potwierdza to sygnałem  $HLDA$ , wtedy w tym kanale pojawia się potwierdzenie gotowości DMA na linii  $DACK$ . Następuje transmisja.

Po zakończeniu transmisji, DMA wyłącza sygnał  $HRQ$ , procesor wyłącza  $HLDA$ , czyli przywracany jest stan pracy procesora, a wówczas DMA wyłącza  $DACK$ .

Teraz może zostać przyjęte nowe zgłoszenie sygnałem  $DRQ$ .





# Kanały i urządzenia

Kanał DMA może być programowo zamaskowany, wtedy zgłoszenie DREQ w tym kanale jest ignorowane.

Żądanie transmisji w pewnym kanale DMA może być zgłoszone także programowo, jeżeli jej inicjatorem jest procesor.

Do tego celu służy port nazwany rejestrem żądań DMA.

Zapisuje się w nim numer kanału transmisji oraz ustawia się bit żądania, co wstawia to zgłoszenie w kolejkę DMA. Kolejka jest obsługiwana według priorytetu kanałów.



# Dygresja o kolejkach

Typy kolejek.

- FIFO (first in – first out) – zwykła kolejka, czyli kto pierwszy przyjdzie, ten pierwszy zostanie obsłużony.
- LIFO (last in – first out) – stos, czyli *ostatni będą pierwszymi*.
- Kolejka z priorytetami – kolejność wg priorytetu, a w przypadku równych priorytetów wg FIFO albo LIFO, czyli *są równi i równiejsi*.
- Obsługa w kolejności losowej.

Kolejka DMA jest typu FIFO, ale może być z priorytetami.



# Transmisja

W czasie pracy sterownik DMA musi wskazać w pamięci adres początku zwartego obszaru, gdzie transmitowane dane będą zapisywane lub odczytywane.

Transmisja danych odbywa się w trybie seryjnym pracy magistral (ang. burst).

Sterownik DMA musi wystawiać sygnały sterujące zapisem lub odczytem pamięci (MEMW, MEMR) i urządzenia I/O (IOW, IOR). Sygnały te decydują o kierunku transmisji.

- MEMR i IOW – transmisja z pamięci do urządzenia I/O,
- MEMW i IOR – transmisja z urządzenia I/O do pamięci.



# Programowanie DMA

Wstępnym etapem pracy DMA jest programowanie, czyli ustawienie trybu i wielkości transmisji oraz ew. rejestru żądań. W czasie transmisji układ DMA jedynie zlicza dane przesyłane i przerywa pracę, jeśli liczba ta osiągnie wcześniej zaprogramowaną wartość. Po zakończeniu pracy sterownik DMA sygnalizuje koniec pracy sygnałem EOP.



# Tryby pracy

DMA zapewnia cztery podstawowe tryby pracy:

- spoczynkowy
- pojedynczy
- blokowy
- na żądanie



## Tryby pracy – opis

W trybie spoczynkowym DMA oczekuje na zgłoszenia sygnałów DREQ lub sygnału programowania CS#.

W trybie pojedynczym DMA realizuje transmisję pojedynczego słowa i wówczas wyłącza sygnały sterujące pamięcią, urządzeniem I/O, sygnał HRQ i zgłasza koniec operacji (EOP). Nowa transmisja wymaga ponownego zgłoszenia DRQ.

W trybie blokowym DMA zlicza transmitowane słowa i wyłącza sygnały sterujące oraz HRQ po odliczeniu ustalonej z góry liczby słów lub pojawieniu się sygnału przerwania transmisji EOP.

W trybie na żądanie DMA transmituje tak jak w trybie blokowym (według licznika lub do pojawienia się EOP), tyle że możliwe jest chwilowe wstrzymanie transmisji. Następuje to, gdy sygnał DRQ zostanie wyłączony lub pojawi się DRQ na kanale o wyższym priorytecie (o niższym numerze kanału). Wówczas nastąpi czasowe wstrzymanie transmisji.

# Przerwania

Przerwanie lub żądanie przerwania (IRQ – Interrupt ReQuest) powoduje wstrzymanie aktualnie wykonywanego programu i przejście do procedury obsługi przerwania.

Procedura obsługi przerwania po jej zakończeniu wydaje instrukcję powrotu z przerwania, która powoduje powrót do programu realizowanego przed przerwaniem.

Powrót z procedury przerwania jest inny niż powrót ze „zwykłej” procedury. Jest nim na przykład RETI albo IRET.

Przerwania dzielą się na sprzętowe i programowe.



# Przerwania programowe

Z kodu programu wywoływana jest procedura obsługi przerwania, wykorzystywana do komunikacji z systemem operacyjnym, który w procedurze obsługi przerwania (np. w DOS 21h, Windows 2fh, Linux x86 przerwanie 80h) umieszcza kod wywołujący odpowiednie funkcje systemowe w zależności od zawartości rejestrów ustawionych przez program wywołujący lub do komunikacji z oprogramowaniem wbudowanym jak procedury BIOS lub firmware.





# Przerwania sprzętowe

- Zewnętrzne – sygnał przerwania pochodzi z zewnętrznego układu obsługującego przerwania sprzętowe; przerwania te służą do komunikacji z urządzeniami zewnętrznymi, np. z klawiaturą, napędami dysków itp.
- Wewnętrzne, nazywane wyjątkami – zgłaszane przez procesor dla sygnalizowania sytuacji wyjątkowych



# Przykład

Transmisja danych z pamięci do urządzenia.

Może to być na przykład port drukarki, wyświetlacz itp.

Cykle: inicjacja, realizacja, zakończenie.



# Cykl pracy układu DMA – inicjacja

W trybie przerwania programowego procesor programuje sterownik DMA zapisując w rejestrach stanu i sterowania:

- tryb pracy DMA,
- liczbę bajtów lub słów do transmisji,
- adres początku w pamięci DRAM,
- kierunek transmisji

Następnie uaktywnia linię  $DREQ_n$ .



## Cykl pracy układu DMA – realizacja

- DMA wystawia procesorowi sygnał HRQ.
- Procesor zawiesza się i potwierdza ten fakt sygnałem HLDA.
- DMA przejmuje kontrolę nad magistralami i potwierdza to sygnałem DACK<sub>n</sub>.
- DMA wystawia na magistralę adres początkowy bloku w pamięci.
- DMA wystawia sygnał odczytu pamięci MEMR i inne sygnały sterujące magistralą FSB.
- Pamięć wystawia daną na szynę danych.
- DMA wystawia sygnał IOW zapisu sterownika I/O i inne sygnały sterujące magistralą I/O. Jednocześnie zmniejsza licznik transmisji o 1.
- Sterownik I/O zapisuje dane z szyny danych do bufora.



## Cykl pracy układu DMA – realizacja c.d.

- DMA wystawia sygnały sterujące odczytem kolejnych słów pamięci.
- Pamięć wystawia kolejne słowa danych na szynę danych.
- DMA wystawia kolejne sygnały IOW sterujące zapisem sterownika I/O. Jednocześnie za każdym razem zmniejsza licznik transmisji o 1.
- Sterownik I/O zapisuje kolejne dane do swego bufora



# Cykl pracy układu DMA – zakończenie transmisji

Gdy licznik transmisji osiąga wartość 0, przetransmitowana jest zaprogramowana liczba bajtów. Wówczas sterownik DMA:

- Wystawia aktywny poziom sygnału EOP.
- Zgłasza przerwanie sprzętowe w celu poinformowania procesora (programu użytkowego) o zakończeniu transmisji.



# Ultra DMA

UDMA (Ultra-DMA), ATA/ATAPI, PATA – standard interfejsu transferu danych między pamięcią RAM a dyskami twardymi, w którym wykorzystywane jest równoległe przesyłanie danych. Nie jest już dalej rozwijany, został zastąpiony przez SATA (Serial ATA).

## Generacje UDMA

Tryb	Transfer	Nazwa
Mode 0	16,7 MByte/s	UDMA16
Mode 1	25,0 MByte/s	UDMA25
Mode 2	33,3 MByte/s	UDMA33
Mode 3	44,4 MByte/s	UDMA44
Mode 4	66,7 MByte/s	UDMA66
Mode 5	100,0 MByte/s	UDMA100
Mode 6	133,3 MByte/s	UDMA133
Mode 7	166,0 MByte/s	UDMA166



# SATA

Serial ATA (ang. Serial Advanced Technology Attachment, SATA) – magistrala szeregową, opracowana i certyfikowana przez SATA-IO. Magistrala służy do komunikacji pomiędzy adapterami magistrali hosta (HBA) a urządzeniami pamięci masowej: dyski twarde, SSD, napędy optyczne itp.

## Styki wtyczki sygnałowej SATA

Pin	Funkcja
1	Ground (masa)
2	A+ (Transmit)
3	A- (Transmit)
4	Ground (masa)
5	B- (Receive)
6	B+ (Receive)
7	Ground (masa)
–	wycięcie





# DMA i HDD

Bardzo często dysk twardy na starszych komputerach z zainstalowanym systemem Windows (XP, Vista, 7) działa wolno utrudniając pracę. Na nowszym sprzęcie, również uwidacznia się mniejsza szybkość pracy dysku twardego.

Co może być tego przyczyną? Otóż jedną z najważniejszych przyczyn jest tryb DMA, który standardowo w systemie Windows Vista jest wyłączony. Microsoft w ten sposób chciał zwiększyć stabilność i niezawodność dysków twardych. Należy zauważyć, że tryb DMA jest rozwiązaniem technicznym mającym na celu odciążenie procesora i w większości komputerów spełnia znakomitą rolę nie powodując żadnych problemów.

*Internet (???)*



## Pożyteczne linki

[http://www.embedded.com/electronics-blogs/  
beginner-s-corner/4024879/  
Introduction-to-direct-memory-access](http://www.embedded.com/electronics-blogs/beginner-s-corner/4024879/Introduction-to-direct-memory-access)

[http:  
//www.arm.com/products/system-ip/controllers/dma.php](http://www.arm.com/products/system-ip/controllers/dma.php)

<http://www.atmel.com/Images/doc8310.pdf>

[http:  
//ww1.microchip.com/downloads/en/DeviceDoc/39742B.pdf](http://ww1.microchip.com/downloads/en/DeviceDoc/39742B.pdf)



# DDIO

Further performance-oriented enhancements to the DMA mechanism have been introduced in Intel Xeon E5 processors with their Data Direct I/O (DDIO) feature, allowing the DMA "windows" to reside within CPU caches instead of system RAM. As a result, CPU caches are used as the primary source and destination for I/O, allowing network interface controllers (NICs) to talk directly to the caches of local CPUs and avoid costly fetching of the I/O data from system RAM. As a result, DDIO reduces the overall I/O processing latency, allows processing of the I/O to be performed entirely in-cache, prevents the available RAM bandwidth from becoming a performance bottleneck, and lowers the power consumption by allowing RAM to remain longer in low-powered state.

*Wikipedia*



## DDIO – linki

<http://www.intel.com/content/dam/www/public/us/en/documents/faqs/data-direct-i-o-faq.pdf>

<https://www.intel.pl/content/www/pl/pl/io/data-direct-i-o-technology.html>

Ostatnie ciekawostki:

[https:](https://latency-matters.medium.com/ddio-oh-oh-e0099754b7d9)

[//latency-matters.medium.com/ddio-oh-oh-e0099754b7d9](https://latency-matters.medium.com/ddio-oh-oh-e0099754b7d9)

